

DIALOG(R)File 352:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
003694966

WPI Acc No: 1983-54948K/198323
Related WPI Acc No: 1994-274725

Cpd. MOS semiconductor matrix device for LCD - where second semiconductor layer of electrode and lead of gate are arranged at right angles. NoAbstract

Patent Assignee: HANDOTAI ENERGY KENKYUSHO KK (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58071663	A	19830428				198323 B

Priority Applications (No Type Date): JP 81170283 A 19811023

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 58071663	A	2		

Title Terms: COMPOUND; MOS; SEMICONDUCTOR; MATRIX; DEVICE; LCD; SECOND; SEMICONDUCTOR; LAYER; ELECTRODE; LEAD; GATE; ARRANGE; RIGHT; ANGLE; NOABSTRACT

Index Terms/Additional Words: LIQUID; CRYSTAL; DISPLAY

Derwent Class: L03; P85; U13; U14

International Patent Class (Additional): G09F-009/35; H01L-027/12;
H01L-029/78

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

01134263 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: **58-071663** [JP 58071663 A]

PUBLISHED: April 28, 1983 (19830428)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 56-170283 [JP 81170283]

FILED: October 23, 1981 (19811023)

INTL CLASS: [3] H01L-029/78; H01L-027/12; G09F-009/35

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 187, Vol. 07, No. 162, Pg. 164, July 15, 1983 (19830715)

ABSTRACT

PURPOSE: To form a solid state display unit for a plane television in lieu of a cathode ray tube by forming other insulating gate type semiconductor device and other inverter and resistor on the same substrate to construct a decoder and a driver on the same substrate.

CONSTITUTION: A gate insulated film 16 is formed as an isolation film for S1(12) and S3(15), electrode holes 8, 7 are respectively formed for the S1(12) and S3(15), and a metal or semiconductor layer connected to the gate electrode is again laminated. Then, the film is selectively etched, a gate electrode 17 is laterally laminated on gate insulators 16, 16', and wirings are simultaneously formed in contact with the surface of the substrate or an insulator 6 through the electrode holes to IGF, capacitor and resistor of other unit via the S1(12), S3(15). In this manner, a source or a drain is formed via the S1(12), S2(14) having a channel forming region 9, and a drain or a source is formed via the S3(15), and a laminated IGF10 in which a gate insulator 16 is formed on the channel forming region side surface and a gate electrode 17 is formed, is constituted.

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58-71663

⑬ Int. Cl.³
H 01 L 29/78
27/12
// G 09 F 9/35

識別記号

厅内整理番号
7377-5F
8122-5F
7520-5C

⑭ 公開 昭和58年(1983)4月28日
発明の数 1
審査請求 有

(全 10 頁)

⑮ 半導体装置

⑯ 特 願 昭56-170283
⑰ 出 願 昭56(1981)10月23日
⑱ 発明者 山崎舜平
東京都世田谷区北烏山7丁目21

番21号株式会社半導体エネルギー
一研究所内

⑲ 出願人 株式会社半導体エネルギー研究所
東京都世田谷区北烏山7丁目21
番21号

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 基板上または基板上の第1の導電層上に設けられた第1の半導体と、該半導体上に設けられた概略同一形状を有する第2の半導体および第3の半導体を積層して有し、前記第1および第3の半導体は同一導電型よりなる一対のソース、ドレインを構成して設けられ、前記第2の半導体の側部に隣接して設けられたゲイト絶縁物とゲイト電極よりなるゲイトが設けられた絶縁ゲイト型電界効果半導体装置において、前記ゲイトの電極・リードを構成する第2の導電層と、前記第1または第3の半導体または該半導体に連結した第1または第3の導電層とは互いに直交する方向に設けられたことを特徴とする半導体装置。

2. 特許請求の範囲第1項において、第1の半導体に連結したリードと、ゲイトを構成する電極リードとが互いに直交する方向を有するとともに、第3の半導体に連結した導電層が一方の電極を構成するキャバシタが設けられた該キャバシタの電極間には、液晶が充填されたことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は基板上にたてチャネル型の積層型の絶縁ゲイト型半導体装置をマトリックス化する半導体装置に関する。

本発明は基板上の積層型の絶縁ゲイト型電界効果半導体装置のソースまたはドレインに連結してキャバシタを有せしめた複合半導体装置に関する。

本発明はかかる複合半導体装置をマトリックス構造に基板上に設け、液晶表示型のディスプレー装置を設けることを特徴としている。

本発明は表面型の固体表示装置を設ける場合、平行なガラス板内に電極を設けて、この電極間に液晶を注入した液晶表示装置が知られている。しかしこの場合、この表示部の絵素数は20~200までが限界であり、それ以上とする場合はこの表示部より外にとり出す端子が絵素の数だけ必要になつてしまつたため、全く実用に供することができなかつた。このためこの表示部を複数の絵素とし、それをマトリックス構成させ、任意の絵素を制御してオンまたはオフ状態にするには、その絵素に対応した電界効果半導体装置(IGFといふ)を必要としていた。そしてこのIGFに制御信号を与えて、それに対応した絵素をオンまたはオフさせたものである。

本発明のたてチャネル型IGFおよび液晶ディスプレーへの応用は、本発明人の出願になる特許願(絶縁ゲイト型電界効果半導体装置およびその作製方法 特願昭56-001767号 および複合半導体装置 特願昭56-001768号 昭和

56年1月9日出願)にその詳細が示されている。本発明はこれをさらに発展させたものである。

この液晶表示部はその等価回路としてキャベシタ(以下○といふ)にて示すことができる。このためこのIGFと○とを例えば 2×2 のマトリックス構成(40)せしめたものを第1図に示す。

第1図においてマトリックス(40)はひとつのIGF(10)とひとつの○(32)によりひとつの絵素を構成させている。これを行け(51), (52)とピット線に連結し、他方ゲイトを連結して列(41), (42)を設けたものである。

すると例えば(51), (41)を'1'とし(51), (42)を'0'とすると(1, 1)番地のみを選択してオンとし、電気的に○(32)として等価的に示される液晶表示を選択的にオン状態にすることができる。

本発明は同一基板上にデコーダ、ドライバーを構成せしめるため、他の絶縁ゲイト型半導体装置(50)および他のインバータ(60)、抵抗(70)を同一基板上に設けることを目的としている。

かくすることにより、本発明をその設計仕様に基いて組合わせることによりブラウン管に代わる平面テレビ用の固体表示装置を作ることができた。

さらにカリキュレータ用の表示装置は 10^6 ~ 10^7 ケの絵素を用いればよく、TV用には 10^6 ~ 10^7 個例えば 25×10^6 個の絵素を同一基板に設け、かつその周辺に必要なデコーダおよびドライバーを同時に形成させたIGF、インバータ、抵抗を用いて作ればよいことがわかる。

本発明はかかるシステムを作るために必要な積層型のIGFおよびそれに液晶表示部を連結させた絵素に関するものである。

第2図は本発明の積層型IGFのたて断面図およびその製造工程を示したものである。

図面において絶縁基板例えばガラスまたはアルミナ基板上にPまたはN型の導電型を有する第1の半導体(2) (以下単にB1といふ)を形成した。このB1(2)を第1のフォトマスク①を用

いて任意の形状にパターン形成し、例えば横方向の導電型とするリードを形成せしめた。さらにこのB1(2)の上に第2の真性またはNまたはP型の半導体(4) (以下単にB2といふ)を形成した。さらに第1の半導体と一対を構成してソース、ドレインとするためにB1(2)と同一導電型を有する第3の半導体(6) (以下単にB3といふ)を積層して設けた。

この半導体は基板上にシランのグロー放電法またはアーク放電法を利用して室温~500°Cの温度にて設けたもので、非晶質(アモルファス)または5~100Åの大きさの微結晶性を有する半非晶質(セミアモルファス)または50~500Åの微結晶(マイクロポリクリスタル)構造のいわゆる非単結晶の珪素半導体を用いている。本発明においてはセミアモルファス半導体(以下BASといふ)を中心として示す。このBASに関しては本発明人の発明になる特許願(特願昭55-026388 855.3.3出願 セミアモルファ

ス半導体)にその詳細な実施例が示されている。

さらに第1図においてフォトリソグラフィー技術によりフォトマスク②を用いてB3を選択的に除去し、さらにこのB3をマスクとしてB2₍₂₎を除去した。
_{(2) B2はB1の上に形成された後、B1を除去する。}

このB3(5)の上に第2図(3)においてさらに寄生容量を少くするため、厚い絶縁膜をLPCVD法(減圧気相法)またはプラズマCVD法により0.3~1μの厚さに酸化珪素膜を形成しておいてもよい。またこのB3上にMo, W, MoSi, WSi等の導電層を0.2~0.5μ形成し、さらにその上にB10を0.3~1μとさせてB3の導電率を向上させることはマトリックス化に有効であつた。

また第2図(3)において側面は基板(1)表面上に垂直に形成してもよいが、台形状にテーパエッヂをして、さらに積層されるゲート電極の段差部での段切を除去することは効果的であつた。

さらにこの後このB1, B2, B3の表面全体に絶縁膜(6)を形成した。この絶縁膜は13.56MHz

辺上には、この非単結晶半導体が脱水素化等により劣化することのない低温(200~400°C)でゲート絶縁膜を200~1000Åの厚さに形成せしめることができた。窒化物気体をマイクロ波(50~300W)により励起することにより、十分にイオン化すると、会合していたシランの内部にも被膜形成時にこの窒素が含浸されるため、一般的にいわれるヒステリシス特性等がみられず、さらにナトリューム等に対しても_{(3) B2はB1の上に形成された後、B1を除去する。}好ましい絶縁被膜であつた。

またB1xO_{1-x}(0≤x≤1)に関しては、絶縁体とする際にプラズマCVD法を用い、TM₂ (テトラメチルシラン(B1(C₂H₅)₄))による炭化珪素またはアセチレン(C₂H₂)による炭素をプラズマCVD法(0.1~1torr 基板温度200~400°C)によりこのエネルギーバンド巾2.5~3.5eVを形成させることができた。

かくの如く基板をガラスとする場合、形成温度を200~400°Cとした半導体および基板を劣

化2.45GHzの周波数の電磁エネルギーにより活性化して、酸素または酸素と水素との混合気体雰囲気(100~700°C)浸して酸化して、200~2000Åの厚さに形成した。

特に基板がガラスであつた場合、その中に含まれるナトリューム等の可動イオンが長時間のうちにこのゲート絶縁膜中に拡散していつてしまい可能性が大きい。このためこの絶縁膜は、窒化珪素(B1N_x 0≤x≤1)または炭化珪素(B1xC_x 0≤x≤1)等を用いることがきわめて重要である。このため窒化珪素膜を作るには以下の如くにした。すなわち、シラン(B1H₄またはB1D₄)とマイクロ波(2.45GHz)によりイオン化されたアンモニアまたは窒素を0.1~0.5torrに保持された反応炉内に導入し、この反応炉内に200~500°C代表的には300°Cに反応炉の外側より加熱された基板上に13.56MHzの第2の高周波プラズマを加えた2段のプラズマCVD法を用いた。

かくすることにより、半導体特にB204の側面

化させないとすると、プラズマCVD法により窒化珪素または炭化珪素はきわめて有効なゲート絶縁膜であつた。

このゲート絶縁膜₍₄₎は同時にB10, B3(5)のアイソレーション用被膜としても形成せしめた。

さらに(4)に示される如く、第3のフォトリソグラフィー技術③によりB10に対し電極穴(8)をB3(5)に対し電極穴(9)を形成し、ゲート電極に連絡する金属または半導体層(PまたはNの導電型の珪素半導体またはSnO₂, ITO等の透明導電膜)を再度積層した。

次に第4のフォトリソグラフィー技術④によりこの膜を選択的にエッチングして、ゲート電極跡をゲート絶縁物₍₄₎上に横方向に積層して設けて作り、同時にB10, B3(5)より電極穴を介して他部のIGF、キャバシタ、抵抗へ基板表面または絶縁物(6)上に密接して配線させた。

第2図(1)のたて断面図のA-A'を横方向よりみると第2図(4)として示すことができる。番号

はそれぞれ対応している。

本発明の半導体は主としてSASの珪素半導体を用いた。これは暗伝導度 σ が $10\sim10^3$ (cm^{-3})を有し、ASの $10\sim10^3$ (cm^{-3})に比べて単結晶珪素に近い特性を有しているためである。この暗伝導度は不純物を意図的に導入しない実質的に真性の半導体において得られた。しかし真性(ホウ素により中和した活性化エネルギーが $1.58\text{eV}/2$ になつた場合)においては、逆にホールの移動度が大きくなり、これらを組合せてエンハンスマント型またはディプレッショング型のNまたはPチャネルIGFを作ることができた。このSASは格子歪を有するとともに、0.1~5モル%の濃度を有する不对結合手の中和用に水素を有しており、この水素の脱ガスを防ぎ、かつ基板と半導体、電極・リード等が異種材料の界面における熱膨脹によるストレスを少くするため、すべての処理を $200\sim600^\circ\text{C}$ 以下好ましくは $200\sim350^\circ\text{C}$ 、代表的には 300°C 以下

である。しかしそれにアモルファス珪素が電子 $0.01\sim1.0\text{cm}^2/\text{V}\cdot\text{s}$ 、ホールは $0.001\text{cm}^2/\text{V}\cdot\text{s}$ 以下に比べて $10\sim10^3$ 倍も長いことを考えると、本発明の半導体装置に $5\sim100\text{A}$ の大きさのマイクロクリスタル構造を有するSASを用い、さらに積層型にすることによりチャネル長が 1μ 程度といわゆるマイクロチャネル構造とすることができるため、高速応答性においてきわめて重要である。

さらに本発明のIGFにおいて、電子移動度がホールに比べて単結晶の3倍よりも大きく、5~100倍もあるためNチャネル型であるのがきわめて好ましかつた。

またS2にはホウ素等のⅢ価の不純物を表面部に添加しない真性半導体はN型であるため、これをS2の形成時に同時に0.1~10PPM添加してP型またはI型半導体として用いることは本発明の液晶パネルを正の電圧で動作させるためのNチャネルIGFとする時有効であつた。

ですとよかつた。

またゲート電極 G をS1、S3と同一導電型の半導体およびそれにMo等の金属を二重構造とした多層配線構造でもよい。

かくしてソースまたはドレインをS1 \sim S4、チャネル形成領域(S)を有するS2 \sim S4、ドレインまたはソースをS3 \sim S4により形成せしめ、チャネル形成領域側面にはゲート絶縁物 G 、その外側面にゲート電極 G を設けた積層型のIGF(I)を作ることができた。

この発明においてチャネル長はS2 \sim S4で厚さで決められ、ここでは $0.3\sim3\mu$ 代表的には 1μ とした。それは非単結晶半導体の移動度が単結晶とは異なり、その $1/5\sim1/100$ しかないため、チャネル長を短くしてIGFとしての特性を助長させたことにある。

SASにおいては、電子のバルク移動度が $10\sim500\text{cm}^2/\text{V}\cdot\text{s}$ と $1/3\sim1/10$ であるのに対し、ホールのそれは $0.5\sim100\text{cm}^2/\text{V}\cdot\text{s}$ と $1/5\sim1/10$

かくの如くにして得られたIGFはS2に実質的に真性の半導体(N型となつてゐる)を用いると、PチャネルIGFにおいてはエンハンスマント型、またNチャネルIGFにおいてはディプレッショング型の動作モードを得ることができる。

またこのS2を真性またはP型の半導体とすると、PチャネルIGFにおいてはディプレッショング型、NチャネルIGFにおいてはエンハンスマント型の動作モードを得ることができる。

第1図の液晶表示を得るためにIGFとしてはエンハンスマント型がその結果を選択する場合使いやすいため、簡単にエンハンスマント型の動作をする場合につき示す。

ゲート電極を'1'、ソースまたはドレインを'1'とすると、チャネル形成領域(S)を電流が流れオン状態を、またそれ一方または双方が'0'ならばオフ状態を作ることができた。

'1'はNチャネル型IGFでは正の $0.5\sim10\text{V}$ の電圧を、'0'は 0V またはスリップシユホールド電圧

以下の電圧を意味する。

Pチャネル型IGFはその電極の極性を変えればよい。これらの論理系は第1図、第2図においてもまた以下の第3図～第5図の本発明の実施例においても同様である。

また第1図において周辺のデコーダまたは一般の論理素子を作ろうとする時、例えば抵抗(70)は第2図(10)においてゲイトに加える電圧に無関係にS2のバルク成分のたて方向の抵抗率で決められる。すなわちゲイト電極を設けない状態でS1、S2、S3を積層すればよい。またこの抵抗値はS2の抵抗率とその厚さ、基板上にしめる面積で設計仕様に従つて決めればよい。

第1図のインバータ(60)においてドライバー(61)は第2図(1)とし、さらにそのロード(64)はS1(64)、S3(65)の一方とゲイト電極側との連絡させるエンハンスマント型またはディブレッシュ型のIGFとして設ければよい。

さらにこのインバータ(60)の出力は(66)よりな

り、この基板上に離間して2つのIGFを積層して複合化すればよく、入力部はゲイト電極側に対応して設ければよい。

本発明のたてチャネル型IGFにおいては、もし光がこのIGFの上方向または下方向から照射されても、それぞれはS1、S3の半導体層がP⁺またはN⁺となつてゐるため、この光を十分吸収してしまい、S2に到達させない構造のいわゆるS1、S3が光のしゃへい効果を同時に有する。このためガラス基板上にこのIGFを複数作製しても、特にこのIGFに光のしゃへいを施さなくともON、OFF動作をさせることができ、この効果はIGFのない領域が光を液晶を含む基全体に対し上下方向への光の透過、反射をさせることにより表示を行うことを目的とするものであるため、特にこのIGF自身のしゃへい効果はきわめて重要な特徴を有する。

これは従来より知られた横チャネル型のTFT(薄膜トランジスタ)においては全く考えられ

なかつた特徴である。

第3図は本発明の他の実施例を示す。

第3図(1)は基板(1)上の導電層側およびそれに積層されたS1(1)が横方向にその配線がなされ、またゲイト側も同様に横方向になされ、他方S3(1)が図面に垂直方向に配線がなされた場合である。図面においてはIGF(10)、(10')の2つが示されてあるが、マトリックス化して10～10'ケを同一基板に配列せしめてもよい。

図面においてその番号は第2図の実施例に対応している。

その製造においては、フォトリソグラフィー用マスクは①～⑤と3種類でよい。ゲイトの導電層側とS3(1)の導電層との間に寄生容量の発生を防止するため、酸化珪素(30)がS3(1)の上に0.3～2μの厚さに積層させている。製造はこの酸化珪素(30)をバターニングし、さらにこの酸化珪素をマスクとしてその下のS1(1)、S2(1)をエッチングしてS1、S2を同一形状に形成させれ

ばよい。

第3図(2)はIGFの配線がS1(2)およびその導電層側が図面において横方向、またS3(2)にコンタクト側とにより連絡した配線側が横方向、またゲイト側が図面に垂直にたて方向にその導電層を層間絶縁物質²により離間して配線せしめたものである。

図面においては基板(2)上の導電層側を①のマスクによりバターニングし、S1(2)を②のマスクによりバターニングした。さらにS2(2)、S3(2)を積層してセルフアライン的に③のマスクによりエッチングした。またゲイト絶縁物質²を形成した後、その上にゲイト電極側、そのリードを④により形成した。加えて層間絶縁物質²をポリイミド樹脂、PIQ等により0.5～2μの厚さに形成した後、コンタクト穴³を作りS3(2)に連絡した電極・リードを構成する第2の導電層⁴をマスク⑤により作製したものである。

この図面に対応して第4図が液晶ディスプレ

イを用いて本発明の他の実施例を示している。

第3図(c)は基板(1)上に第1の導電層とそれに積層するS104をマスク②により図面で横方向(エ方向)に走る形形状に示した。またS304、ゲイト電極・リード跡は図面で垂直方向(エ方向)に示されている。

これはIGF(10)においてS2、S3をマスク③により、またこのS204、S304をまたぐ如くにしておおつたゲイト跡をマスク④により作つたものである。

以上の如く本発明のIGFはソースまたはドレンを構成するS104、ドレンまたはソースを構成するS304およびS2にチャネル形成領域を形成するゲイト絶縁物跡上のゲイト電極跡が任意にその設計上の要素を全く自由に受け入れてエ方向、エ方向に配線形成せしめることが可能となつた。これは従来より知られた横方向にチャネルが形成されるIGFに比べて、プラズマOVD法を中心として半導体層S1、S2、S3を順

次積層して形成していく構造を有するとともに実質的なセルフアライン構造であるために初めて可能になつたもので、その工学的效果はきわめて大きい。

第4図は第3図(d)をさらに発展させたもので液晶ディスプレイに用いたものである。

第4図は本発明の他の実施例を示したもので第1図に示された2×2のマトリックスセルに本発明を適用したものである。

図面において(a)はその平面図の一部、(b)はA-A'面におけるたて断面図を示す。

第4図(b)において、ガラス基板(1)上に第1の導電層跡が500~3000Åの厚さにエ方向に形成されている。これはネサ(SnO₂)を用いた透明膜であつてもよい。さらにその上にS204、S304がエ方向に形成されている。またゲイト電極リード跡はエ方向に形成されており、S304に対し液晶用のキャバシタ(31)の電極跡が透明導電膜により形成されている。上側のガラス基板跡下面

にも透明導電膜跡がある。この導電層跡は互いに直角にて液晶が配向するよう液晶分子配向膜または配向処理がなされている。この2つの透明の電極跡の間に液晶跡を充填させている。

各マトリックスの交点を構成するIGF例えば(10)、(10)とその出力に連結するキャバシタ(31)、(31)が第1図に対応して第4図(a)(b)に示している。

かくすることにより、ひとつの絵素すなわちキャバシタの電極跡¹作成²、絵素が1mm²あたり1~16個も作り得ることができ、また500×500の平面ディスプレイも5~20cm²で作ることができるようになつた。

第4図はこのIGFの出力にはひとつの液晶によるキャバシタのみであつたが、同時にこの表示時間を表示するためのキャバシタ(32)を並列して作ると第5図に示す如くなる。

第5図は第4図で示した液晶部跡、上側電極

跡、上側ガラス基板跡が図面の簡略化のため省略したが、この部分は第4図と同様公知の方法で作製すればよい。

第5図(a)はひとつの絵素に対応する領域の平面図、(b)はA-A'でのたて断面図、(c)はB-B'でのたて断面図をそれぞれ番号を対応させて示してある。第5図(c)のIGF(10)の形状より明らかに如く、このIGFへの配向は第3図(a)を主要素として用いたものである。

液晶表示用のキャバシタの電極跡はS104と連結しており、第4図の場合のS304と連結した場合とその構造を異ならせている。

またこのS104は同時にその下側の透明導電膜跡およびゲイト絶縁物(32)上に第2の透明導電膜(33)をゲイト電極跡と同時に設けて得られた電極としより並列のキャバシタ(32)を構成し、液晶表示の表示時間を長くするための一助としている。回路的には第1図にて破線で示したキャバシタ³に対応している。このキャバシタによ

り IGF のオン時間が $10\sim1000\mu$ 秒であつても液晶表示は $1\sim1000\mu$ 秒と長くするいわゆる残光性を持たせることができる。このキャバシタは絵素数が $10^6\sim10^7$ ケとなり、この走査速度が $0.1\sim100\mu$ 秒となつた時、見ている人の目をつかれさせないために有効である。

またこの蓄積容量のキャバシタはゲート絶縁物と同一材料としたことにより、同一パッジ式に何らの新たな工程を必要とせず作ることができた。しかしこの容量を小面積で増加するため、窒化珪素ではなく酸化チタン、酸化タンタルその他強誘電体を用いてもよい。

本発明における日射に電気的に連結されている他の電極部は電極穴(39)を介して設けられている。これら IGF(10)上にポリイミドまたは PIQ 等の層間絶縁物を $1\sim3\mu$ の厚さに設け、それを選択的にフォトリソグラフィ技術により設ければよい。この電極部が設計の仕様に従つてひとつの絵素の大きさを決定する。カリキュレ

ータ等においては、 $0.1\sim5\text{mm}^2$ またはく形、数字の 1 セグメントに対応している。しかし第 1 図の如き走査型のマトリックス構成をさせる方式において、 $1\sim50\mu$ をマトリックス状として例えば 500×500 とすればよい。液晶表示部はこの電極の上方と他方をネサ膜等の透明導電部をそれぞれの電極に液晶分子配向膜を形成させて有するガラス板とを $0.1\sim2\text{mm}$ の間けきを有せしめて対抗配置させ、そこに例えばネマチック型の液晶を注入して設けた。

またこのディスプレイをカラー表示してもよい。さらに例えば、これらの絵素が三重に重ね合わされて作られてもよい。そして赤緑青の 3 つの要素を交互に配列せしめればよい。

第 5 図、第 6 図で明らかに如く、本発明は基板(1)上に複数の IGF、キャバシタ、抵抗または同時にサンドウイッチ構造として液晶表示の平面パネルを設けたことを特徴としている。

さらに図面より明らかに如く、上方よりの光照射に対して、IGF(10)に光が照射して 0° 状態

の時リーフしてしまふことが S3、S1 により自動的に防止されていることを他の特徴としている。

加えて従来と異なり、絶縁基板上に完全に他の絵素とアイソレイトして IGF を積層型に設けていくことはきわめて大きな特徴であり、特にこの全行程を 600°C 以下特に 300°C 以下の温度で作ることが可能であることは、このパネルが大面積としても熱歪の影響を受けにくいという大きな特徴を有している。

加えて本発明の半導体は非単結晶構造を中心としており、特に SAB というアモルファスと単結晶との中間構造であつてかつ 600°C までの熱エネルギーに対して安定なことは本発明の他の特徴である。

特にこの SAB は $10\sim100\text{A}$ の大きなマイクロクリスタル構造の格子亞を有する非単結晶半導体であり、その製造には $500\text{KHz}\sim3\text{GHz}$ の誘導エネルギーを使つても温度が 300°C まで十分で

あり、加えてその電子・ホールの拡散長がアモルファス珪素の $100\sim10^3$ 倍も大きいという物性的特性を有している。かかる非単結晶半導体を基板上に積層する構造により IGF を設けたこと、加えてこれを電流がたて方向に流れるため、チャネル長が $0.1\sim1\mu$ のマイクロチャネル型 IGF を高精度のフォトリソグラフィ技術を用いずに作ることができることができがきわめて大きな特徴である。

さらに本発明において IGF としての特性は、SAB の特性にかんがみ、そのスレツシニホールト電圧 (V_h) は例えばドープをイオン注入法で行なうのではなく、S2 に添加する不純物の添加量と加える高周波パワーにより制御する点も特徴である。

そのため耐圧 $20\sim30\text{V}$ 、 $V_h=2\sim4\text{V}$ を $\pm 0.2\text{V}$ の範囲で制御できた。さらに周波数特性がチャネル長が $0.1\sim1\mu$ のマイクロチャネルのため、これまでの単結晶型の絶縁ゲート型半導体装置

の $1/5 \sim 1/50$ を非単結晶半導体を用いたのに
もかかわらず、得ることができた。

また逆方向リーキであるが、第1図に示すよ
うな S1 と S2 との間に窒化珪素を $10 \sim 40\text{Å}$ の
厚さに挿入することにより、この $N^- - P^-$ 接合ま
たは $P^- - N^-$ 接合のリーキは逆方向に 10V を加え
ても 10nA 以下であつた。これは単結晶の逆方
向リーキに匹敵する好ましいものであつた。

また S1 に例えれば酸素または窒素を $2 \sim 20$ モ
ル%、また炭素を $5 \sim 30$ モル%添加すると、第
2図に示した構造においては同様に逆方向にリ
ーキが少なく、また S2、S3 のエッティングの際
S1 をオーバーエッチしてしまうことを防ぎ、
プロセス上も好ましかつた。この低リーキ特性
は無添加の場合に比べて $1/10 \sim 1/10^3$ 倍もリーキ
が少なかつた。このリーキが少ないことが第
1図のマトリックス構造を実施する時をわめて
有効であることは当然である。

さらにこの逆方向リーキはこの積層型の S1、

S2、S3 をともにアモルフアス珪素の半導体の
みで作つた場合、逆方向バイアスを 10V 加える
と 1mA 以上あつたが、これを SAS とすると $5 \sim$
 50nA にまで下つた。それは S1、S3 の P⁻ または
N⁻ 型の半導体における B₄P の不純物が置換型
に配位し、そのイオン化率が単結晶と同じく \sim
 N 以上となつたこと、およびその活性化エネル
ギーもアモルフアスの場合の $0.2 \sim 0.3\text{eV}$ より
 $0.005 \sim 0.001\text{eV}$ と小さくなり、電気伝導度
も SAS の $10 \sim 10^3 (\text{n}^{-1}\text{cm}^{-1})$ に對し $10 \sim 10^5 (\text{n}^{-1}\text{cm}^{-1})$ とさ
わめて大きくなつたことにある。

このため一度配位した不純物が積層中にアウ
トディフュージョンせず、結果として接合がき
れいにできることによる。

さらにかかる積層型の IGF のため従来のよう
に高精度のフォトリソグラフィ技術を用いるこ
となく、基板特に絶縁基板上に複数個の IGF、
抵抗、キャパシタを作ることが可能になつた。
そして液晶表示ディスプレイにまで発展させる

ことが可能となつた。

本発明における半導体は珪素、絶縁体は酸化
珪素または窒化珪素を用いた。しかし半導体と
してゲルマニニューム、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x \leq 1$)、BP、GaAs
等を用いてもよい。

また非単結晶半導体において SAS ではなくア
モルフアスまたは結晶粒径が $50 \sim 6000\text{Å}$ の
大きいわゆる多結晶半導体であつてもよいこ
とはいりまでもない。

4. 図面の簡単な説明

第1図は本発明による絶縁ゲート型半導体装
置、インバータ抵抗、キャパシタまたは絶縁ゲ
ート型半導体装置とキャパシタとを絵素とした
マトリックス構造の等価回路を示す。

第2図は本発明の積層型絶縁ゲート型半導体
装置の工程を示すたて断面図である。

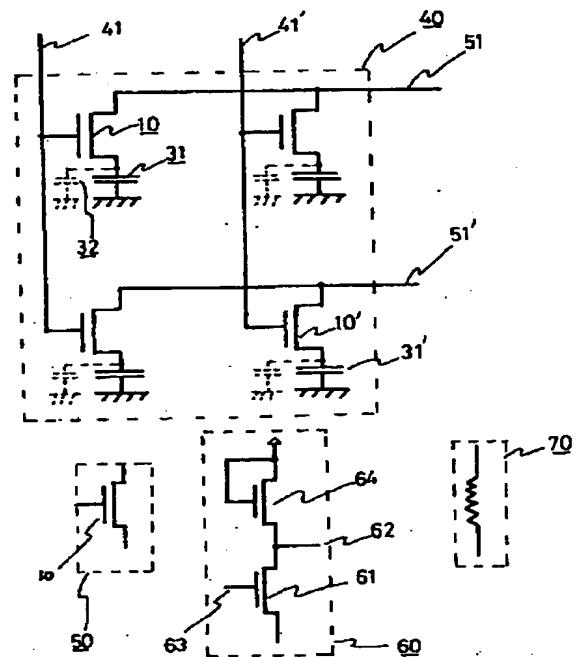
第3図は本発明の他の半導体装置を示す。

第4図および第5図は本発明の積層型絶縁ゲ
ート型半導体装置とキャパシタまたは液晶とを

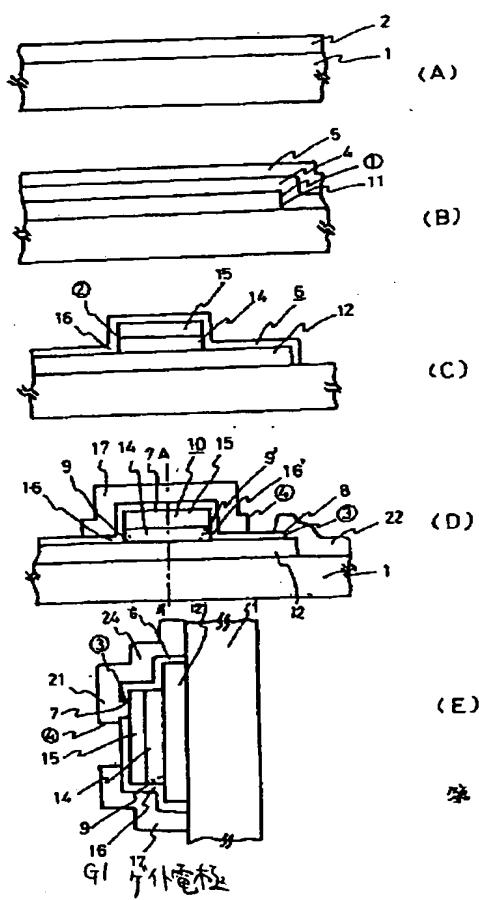
一体化した平面ディスプレイを構成する半導体
装置を示す。

特許出願人

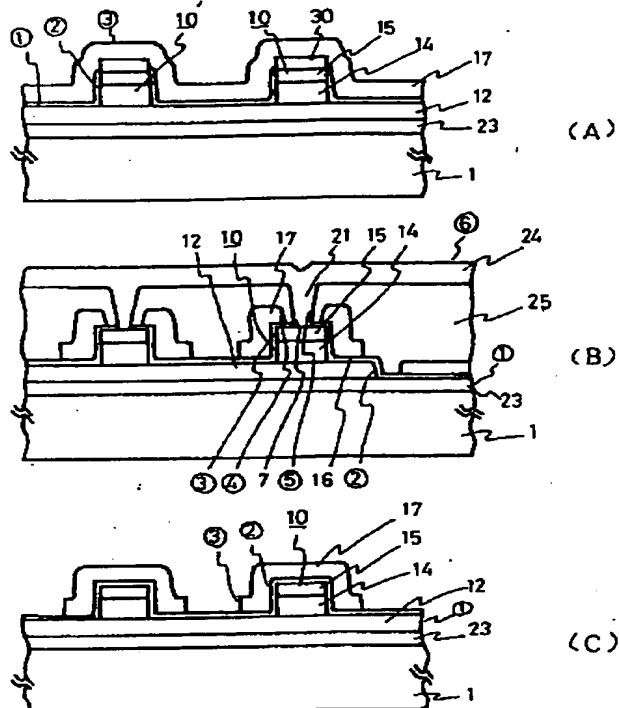
株式会社半導体エネルギー研究所
代表者 山崎舜



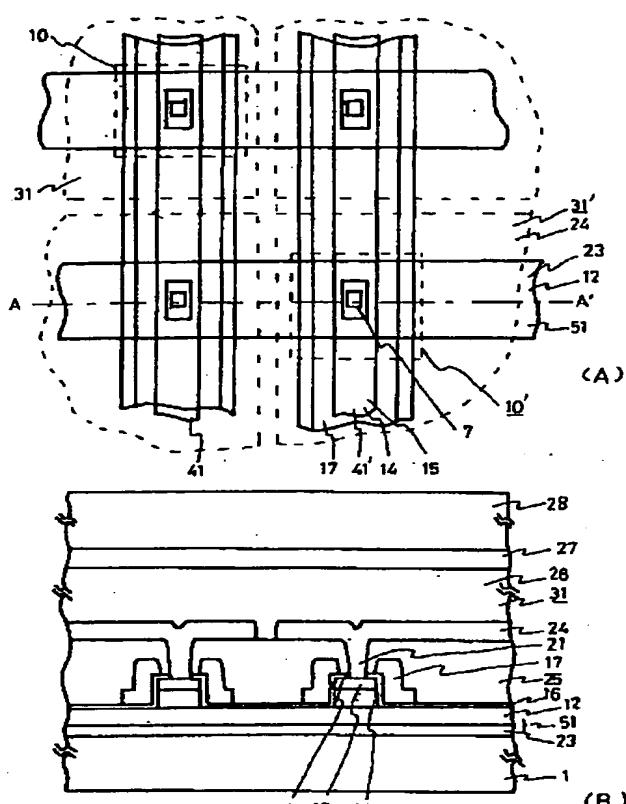
第1図



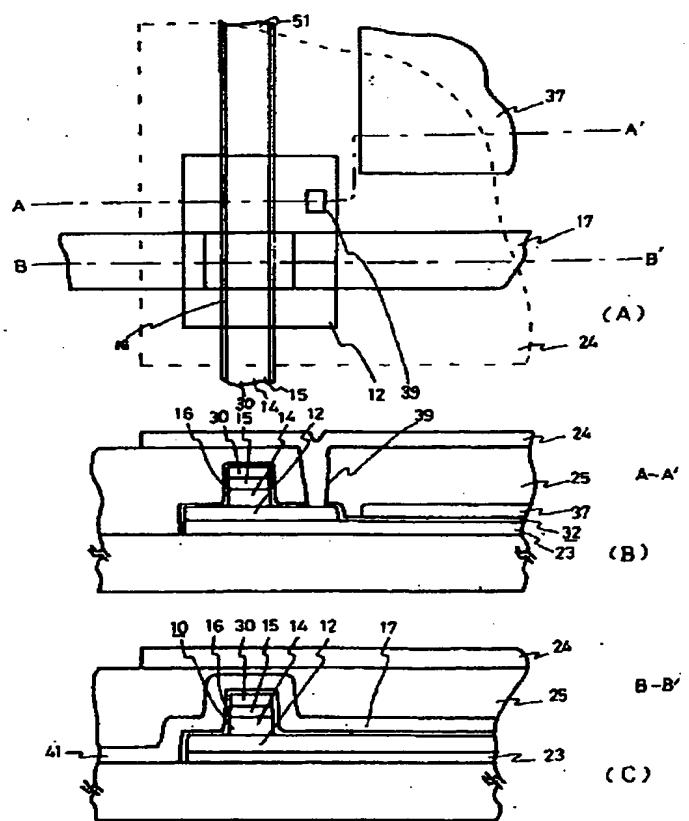
第2図



第3図



第4図



第5図